

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 03-147598

(43)Date of publication of application : 24.06.1991

(51)Int.Cl.

G11C 19/00

(21)Application number : 01-284691

(71)Applicant : SONY CORP

(22)Date of filing : 02.11.1989

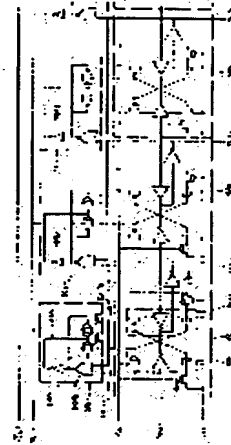
(72)Inventor : MAEKAWA TOSHIICHI

(54) SHIFT REGISTER

(57)Abstract:

PURPOSE: To reduce the power supplied to a clock line by supplying a clock only to a unit register of its stage only when data inputted to a shift register is such significant data that the state of each unit register is transited.

CONSTITUTION: Respective unit registers SR1 - SR3 are constituted so as to receive clock signals VCLK, signals, the inverse of VCLK from a clock line through a switch SW1 and SW2. Also, the switches SW1, SW2 are constituted so as to close at the time when data inputted to each unit register SR1 - SR3 becomes, for instance, H level. Accordingly, when single input signal data is inputted, a signal of H level is supplied to, for instance, only the unit register SR1 at a first timing. That is, when the transmitted data becomes a significant level, a clock is supplied selectively to only the unit register of its stage. In such a manner, the capacitive load of a clock line can be decreased, and the power consumption can be reduced.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

THIS PAGE BLANK (USPTO)

(3)

⑩ 日本国特許庁(JP)

⑪ 特許出願公開

⑫ 公開特許公報(A) 平3-147598

⑬ Int. Cl.¹

識別記号

庁内整理番号

⑭ 公開 平成3年(1991)6月24日

G 11 C 19/00

K

7131-5B

審査請求 未請求 請求項の数 5 (全10頁)

⑮ 発明の名称 シフトレジスタ

⑯ 特 願 平1-284691

⑰ 出 願 平1(1989)11月2日

⑱ 発 明 者 前 川 敏 一 東京都品川区北品川6丁目7番35号 ソニー株式会社内

⑲ 出 願 人 ソニー株式会社 東京都品川区北品川6丁目7番35号

⑳ 代 理 人 弁理士 脇 寛 夫

明 細 書

1. 発明の名称

シフトレジスタ

2. 特許請求の範囲

(1) 第1、および第2のクロックインバータと第3のインバータから構成され、2相のクロック信号によって駆動されるユニットレジスタ回路を複数接続したシフトレジスタにおいて、前記各段のユニットレジスタ回路の入力及び出力データが有効であるか否かを検出し、データが有効であることが検出された段のユニットレジスタ回路にのみ前記2相クロックを供給する1対のスイッチング手段が設けられていることを特徴とするシフトレジスタ

(2) ユニットレジスタ回路を構成している第1のクロックインバータに、プルアップ手段及びプルダウン手段を設け、クロックインバータがフローティング状態にならないようにしたことを特徴とする特許請求の範囲第(1)項に記載のシフトレジスタ。

(3) スwitchング手段にユニットレジスタ回路の入力及び出力データの論理和をとる回路を含むことを特徴とする特許請求の範囲第(1)項に記載のシフトレジスタ。

(4) 1対のスイッチング手段のそれぞれがユニットレジスタ回路の入力、出力データ、及びその反転出力データによって直接制御される同一型型のスイッチング手段で構成されていることを特徴とする特許請求の範囲第(1)項に記載のシフトレジスタ。

(5) 1対のスイッチング手段のそれぞれがユニットレジスタ回路の入力、出力データ、及びその反転出力データによって直接制御される第1の導電型トランジスタと、第2の導電型トランジスタの並列接続によって構成されていることを特徴とする特許請求の範囲第(1)項に記載のシフトレジスタ。

3. 発明の詳細な説明

[産業上の利用分野]

(4)

特開平3-147598(2)

この発明は、特にC-MOSを用いたシフトレジスタ回路において、消費電力を低減したシフトレジスタに関するものである。

【発明の概要】

本発明のシフトレジスタは、第1のクロックドインバータと、第2のクロックドインバータおよび第3のインバータからなるユニットレジスタを連続接続したもののにおいて、各ユニットレジスタにスイッチング手段を設け、各ユニットレジスタの入力および出力データが有意のデータであるときは前記スイッチング手段によって当該ユニットレジスタのみにクロック信号が供給されるようにしたものである。

そのためクロックラインに供給されるクロック信号の消費電力を大幅に低減することが可能になり、低消費電力型のシフトレジスタとすることができる。

【従来の技術】

り、次のタイミングでクロックVCKが立ち上がり、相補クロックVCLKが立ち下がると、第1のクロックドインバータINV₁の出力がLレベルに立ち下がり、この出力は第3のインバータINV₃に供給される。

従って、1段目ユニットレジスタSR₁の出力φ₁、すなわち、第3のインバータINV₃の出力は、入力信号V_{DATA}と同じHレベルとなる。

第3のインバータINV₃の出力は第2のクロックドインバータINV₂の入力にも加えられ、クロックVCLKが反転すると、第2のクロックドインバータINV₂が動作して、第3のインバータINV₃とで出力信号φ₂をラッチする。

このとき、2段目のユニットレジスタSR₂は1段目のユニットレジスタSR₁の出力φ₁を読み込み、その出力φ₂がHレベルになる。

再びクロックVCLKが立ち上がると、既に立ち下がっている入力信号V_{DATA}を読み込み、その出力φ₁はLレベルになる。

従来のC-MOS (Complemental Metal Oxide Semiconductor) を用いたシフトレジスタを第9図に示す。

第9図において、Q₁₁~Q₁₂はP型の電界効果トランジスタ(以下、FETという)であり、Q₂₁~Q₂₂はN型のFETである。

シフトレジスタの各段SR₁、SR₂、……(SR_n、以下は省略する)は、FETQ₁₁、Q₁₂及びFETQ₂₁、Q₂₂からなる第1のクロックドインバータINV₁と、このクロックドインバータINV₁の出力をラッチする第2のクロックドインバータINV₂と、第3のインバータINV₃から構成される。なお、第2のクロックドインバータINV₂はFETQ₂₁、Q₂₂とFETQ₁₁、Q₁₂からなり、第3のインバータINV₃はFETQ₁₁とFETQ₂₁からなっている。

次に、このシフトレジスタの動作を第10図を参照して説明する。

ユニットレジスタSR₁に供給されている入力信号V_{DATA}が第10図に示すように立ち上が

以下、同様の動作で3段目、4段目のユニットレジスタSR₃、SR₄に供給されている入力信号V_{DATA}が転送され、出力φ₃、φ₄……が得られる。

このようなシフトレジスタは、液晶ディスプレイのようなデバイスの信号をサンプリングするときによく用いられる。

【発明が解決しようとする問題点】

ところで、このような従来のシフトレジスタでは、クロックVCLK、VCLKのラインに複数段のユニットレジスタSR₁~SR_nが負荷されるため、かなり大きな容量が負荷される。

各ユニットレジスタSRの容量は第11図に示すように、クロックVCLKのラインには、FETQ₁₁とFETQ₂₁のゲート容量の和であるC(Q₁₁+Q₂₁)が付加され、クロックVCLKのラインには、FETQ₁₂とFETQ₂₂のゲート容量の和であるC(Q₁₂+Q₂₂)が付加される。

この容量Cは、例えばMOSTランジスタのゲ

(5)

特開平3-147598 (3)

ートサイズが $L=7\mu\text{m}$ 、 $W=50\mu\text{m}$ 、ゲート厚が 500\AA とすると、 0.49PF となり、シフトレジスタの段数を仮に 400 段とすると、各クロックラインの容量は約 200PF の大きさとなる。

クロック信号の出力振幅を $A=1.2$ ボルト、周波数を $f=3.8\text{MHz}$ とすると、消費される電力 P は $P=CA^2f=200 \times 10^{-12} \times 1.44 \times 3.8 \times 10^6$
 $\approx 109\mu\text{W}$

となり、各クロックラインで $109\mu\text{W}$ 消費されることになり、シフトレジスタの消費電力が大きくなるとともに、シフトレジスタを駆動するために低インピーダンスで大出力のクロック信号源が必要になるという問題点があった。

特に、このようなシフトレジスタで擬希望 TV カメラのモニタ用液晶ビューファインダを形成すると、低消費電力化の大きな恩恵となるという問題点があった。

【問題点を解決するための手段】

第3図はかかる問題点を解消するために提供さ

力が H レベルになると、スイッチ S_{11} 、 S_{22} が閉じ、他のスイッチは開いた状態になる。

さらに、次のタイミングではスイッチ S_{11} 、 S_{22} が閉じ、他のスイッチは開くことになる。

つまり、本発明の場合は、伝送されるデータが有意味のレベルになったとき、その段のユニットレジスタのみにクロックが選択的に供給されるようにしている。

【作用】

本発明のシフトレジスタは、上記したように有意味の信号によって状態が反転されるユニットレジスタのみに、クロックを選択して与えることにより、クロックラインの容量性負荷を減少することができ、低消費電力化が図れることになる。

【実施例】

本発明の実施例を第1図に示す。

第1図において、 SR_1 は第1、および第2のクロックインバータ INV_1 、 INV_2 と、第3のインバータ INV_3 によって構成されている

れる本発明の概要図を示したもので、 SR_1 、 SR_2 、 SR_3 、 SR_4 、 SR_5 、 SR_6 、 SR_7 、 SR_8 、 SR_9 、 SR_{10} はシフトレジスタを形成するために連続接続されている単位回路（以下ユニットレジスタ SR_1 、 SR_2 、 SR_3 、 SR_4 、 SR_5 、 SR_6 、 SR_7 、 SR_8 、 SR_9 、 SR_{10} という）を示し、各ユニットレジスタ $SR_1 \sim SR_{10}$ はクロックラインからクロック信号 ($VCLK$ 、 \overline{VCLK}) をスイッチ S_1 、及び S_2 を介して受け取るように構成されている。

そして、スイッチ S_1 、 S_2 は各ユニットレジスタ SR_1 、 SR_2 、 SR_3 、 SR_4 、 SR_5 、 SR_6 、 SR_7 、 SR_8 、 SR_9 、 SR_{10} に入力されるデータが例えば H レベルになったときに閉じるようにしている。

従って、単一の入力信号データが入力されたときは、第3図(a)に示すように最初のタイミングでユニットレジスタ SR_1 のみに H レベルの信号が供給されることになるため、スイッチ回路 S_{11} 、及び S_{12} が閉じ、他のスイッチ S_{21} 、 S_{22} 、 S_{31} 、 S_{32} は開く。

次のタイミングでユニットレジスタ SR_2 の入

ユニットレジスタを示し、 SC_1 は1段目のユニットレジスタ SR_1 に供給される入力と、その出力の両方が H レベルの信号でないとき、すなわち入出力が有意味の信号でない時にクロック $VCLK$ 、 \overline{VCLK} を遮断するクロックスイッチ回路である。

なお、他のユニットレジスタ SR_2 、 SR_3 、 SR_4 、 SR_5 、 SR_6 、 SR_7 、 SR_8 、 SR_9 、 SR_{10} も同様に構成されているので、その説明を省略する。

クロックスイッチ回路 SC_1 の構成を説明すると、ユニットレジスタ SR_1 の入力である信号 V_{DATA1} と、その出力 OUT_1 がノアゲート NOR_1 に入力される。そして、ノアゲート NOR_1 の出力と、その出力をインバータ INV_4 で反転した反転出力とで、異なる導電型のトランジスタを並列に接続した1対のトランスファゲート SW_1 、 SW_2 の開閉を制御する。

以下、第2図の信号波形図に基づいて、本発明

(6)

特開平3-147598 (4)

のシフトレジスタの動作を説明する。

時点 t_0 では入力信号 $V_{(DATA)}$ がLレベルで、出力 OUT もLレベルであり、ノアゲート NOR の出力がHレベルとなり、インバータ INV の出力 VOR はLレベルとなるので、トランスファークロウ SW_1 、 SW_2 は閉じる。

従って、このようなときにはクロック $VCLK$ および \overline{VCLK} はユニットレジスタ SR_1 に供給されない。

次に第2図のタイムチャートのように時点 t_1 で入力信号 $V_{(DATA)}$ が立ち上がりHレベルになると、ノアゲート NOR の入力の1つがHレベルになり、このノアゲート NOR の出力はLレベルとなる。この出力と、この出力をインバータ INV で反転したHレベル出力 VOR とがトランスファークロウ SW_1 、 SW_2 に加わるので、両ゲート SW_1 、 SW_2 とも開く。

従って、このような状態でクロック $VCLK$ がHレベルに遷移すると、時点 t_2 で $CK-L$ 、

$CK-R$ 、に示す個号がユニットレジスタ SR_1 に供給され、ユニットレジスタ SR_1 にクロックが供給され、ユニットレジスタ SR_1 の出力 OUT をHレベルにする。

さらに、時点 t_3 で示すように、クロックが遷移してLレベルになると、前述のように第3のインバータ INV と第2のクロックドインバータ INV とで出力個号 OUT のHレベルがラッチされる。トランスファークロウ SW_1 、 SW_2 は開いたままである。なお、時点 t_4 で出力 OUT がHレベルとなったときに2段目のユニットレジスタ SR_2 に、クロックスイッチ SC_2 を介してクロックが供給され能動化される。

次のタイミング時点 t_5 では、クロック $VCLK$ がHレベルになる前に、入力信号 $V_{(DATA)}$ はLレベルとなっているので、この時点 t_5 でクロック $VCLK$ がHレベルになると、ユニットレジスタ SR_1 はLレベルを読み込んで、その出力 OUT をLレベルとする。

出力 OUT がLレベルになると、ユニットレ

ジスタ SR_1 の入力、出力がLレベルとなるので、トランスファークロウ SW_1 、 SW_2 がその直後に閉じ、クロック $VCLK$ 、 \overline{VCLK} がユニットレジスタ SR_1 に供給されなくなる。

トランスファークロウ SW_1 、 SW_2 が開いている時間 T は、インバータ INV の出力である VOR に示すように、ユニットレジスタ SR_1 の出力 OUT が立ち下がるまでの動作遅れ時間と、クロックスイッチ回路 SC_2 の動作遅れ時間が含まれる時間である。

従って、トランスファークロウ SW_1 、 SW_2 を通過したクロック $VCLK$ 、 \overline{VCLK} の波形は、第2図 $CK-L$ 、 $CK-R$ の如く、2つ目のクロックの前半の1部分が通過した波形となる。

また、2段目のユニットレジスタ SR_2 の出力は、クロック \overline{VCLK} が立ち上がった時点 t_6 で、出力 OUT を読み込んで、その段の出力 OUT をHレベルとする。

すなわち、ユニットレジスタ OUT の出力がHレベルになると、ユニットレジスタ SR_2 の入力もHレベルとなる。そしてこの時点でユニットレジスタ SR_2 のクロック $VCLK$ 、 \overline{VCLK} が供給されるように、クロックスイッチ回路 SC_2 のトランスファークロウ SW_1 、 SW_2 がオンになる。

以下、ユニットレジスタ SR_1 の動作と同じ動作が順次段続のユニットレジスタで行われ、入力個号 $V_{(DATA)}$ が順次シフトされる。

なお、ユニットレジスタ SR_1 に付加されている $FETQ_{n0}$ と $FETQ_{p0}$ は、ユニットレジスタ SR_1 にクロック $VCLK$ 、 \overline{VCLK} が供給されないときに、第1、第2のクロックドインバータ INV_1 、 INV_2 がフローティング状態となるのを防止するものであり、このプルダウン $FETQ_{n0}$ とプルアップ $FETQ_{p0}$ によってクロックが供給されていないときにも各ユニットレジスタ回路を安定な状態に保持する作用を持っている。

(7)

特開平3-147598(5)

従って、このプルダウンFET₁₁、プルアップFET₁₂のかわりに、第4図に示すようにプルアップ抵抗R₁、プルダウン抵抗R₂を用いてもよい。

以上の実施例は、有意の信号が正論理のときに動作するように構成されているが、シフトレジスタが負論理のときは、各クロックスイッチ回路SCのノアゲートNORをナンドゲートに置き換えればよい。

第5図は本発明の他の実施例を示す回路である。

この図で、第1図と同一部分は同一記号で示されている。

しかしながら、この実施例の場合はクロックスイッチ回路SC₁(SC₂……)は論理回路が省略され、トランスファergeートSW₁、SW₂はそれぞれ同じ導電型のTFTQ₁₁、Q₁₂とTFTQ₂₁、Q₂₂で構成されている。

この実施例は、入力データV_(DATA)が立ち上がる点をラッチするのはクロックVCLKの立ち上

がりであり、入力データV_(DATA)の立ち下がり点をラッチするのはクロックVCLKの立ち下がり点であることに着目してなされたものである。

すなわち第6図に示すように、入力信号V_(DATA)の立ち上がりによってトランスファergeートSW₁、SW₂のトランジスタQ₁₁、Q₁₂が波形Aに示すようにオンとなり、出力OUT₁のデータが立ち下がった時にトランスファergeートSW₁、SW₂のトランジスタQ₁₁、Q₁₂が波形Bに示すようにオフとなるように制御している。

したがって期間Tの間はトランスファergeートSW₁、SW₂ともオンになり、この期間TにクロックCK-L、CK-Rが通過し第1図の場合と同様な動作が行われる。

論理回路は通常のインバータに比較して遅延時間が大きい、本実施例の場合はこの論理回路を省略することによって動作速度の向上をはかったものである。

この第5図の実施例の場合は、トランスファ

ゲートSW₁、SW₂とも同じ導電型のTFTで構成することになるため、SW₁、SW₂はTFTのスレッシュホールド電圧の影響をうけて第7図の拡大図に示すように、V₁又はV₂だけレベルが若干低下するが、特にシフト動作に影響を与えるほどのものではない。(なお、V₁、V₂はスイッチオン時にプルアップ、又はプルダウンTFTを介して流れる電流による電圧降下を示すが、この値はきわめて小さい)

第8図は、本発明のさらに他の実施例を示したもので、第5図のトランスファergeートSW₁、SW₂に対して、それぞれ逆の導電型のトランスファergeートSW₃、SW₄を並列に接続したものである。

この実施例によると、クロック信号VCLK及びVCLKは、それぞれ並列に接続された相補型のトランスファergeート(SW₁、SW₂)(SW₃、SW₄)を介して供給されることになるため、正極又は負極の電位に対してスレッシュホ

ールド電圧の影響を受けることがなくなる。

また、並列に接続することによってスイッチオン抵抗をさらに減少する効果がある。

【発明の効果】

以上説明したように、本発明のシフトレジスタは、シフトレジスタに入力されたデータが各ユニットレジスタの状態を遷移するような有意のデータであるときのみ、その後のユニットレジスタにのみクロックを供給するようにしているため、クロックラインに供給される電力を大幅に低減することができるという効果がある。

特に、シフトレジスタによって多相パルスを生ずる多相パルス発生器、又は遅延パルス発生器を構成する場合は、シフト段数が増加するほど、電力の節減効果が大きくなり、クロック信号のドライバが削減できると同時に、クロックをTTLレベルで供給することができるという利点もある。

(8)

特開平3-147598 (6)

4. 図面の簡単な説明

第 1 図は本発明の一実施例を示す回路図、

第2図は第1図のタイミングチャート、

第 3 図は本発明の概念図、

第4図は他のプルアップ及びプルダウン手段の回路図、

第 5 図は本発明の他の実施例を示す回路図、

第 6 図は第 5 図のタイミングチャート。

第7図は第6図の信号の部分的な拡大図、

第 8 図は本発明のさらに他の実施例を示す回路図。

第 9 図は従来のシフトレジスタを示す回路図、

第 10 図は従来例のタイミングチャート。

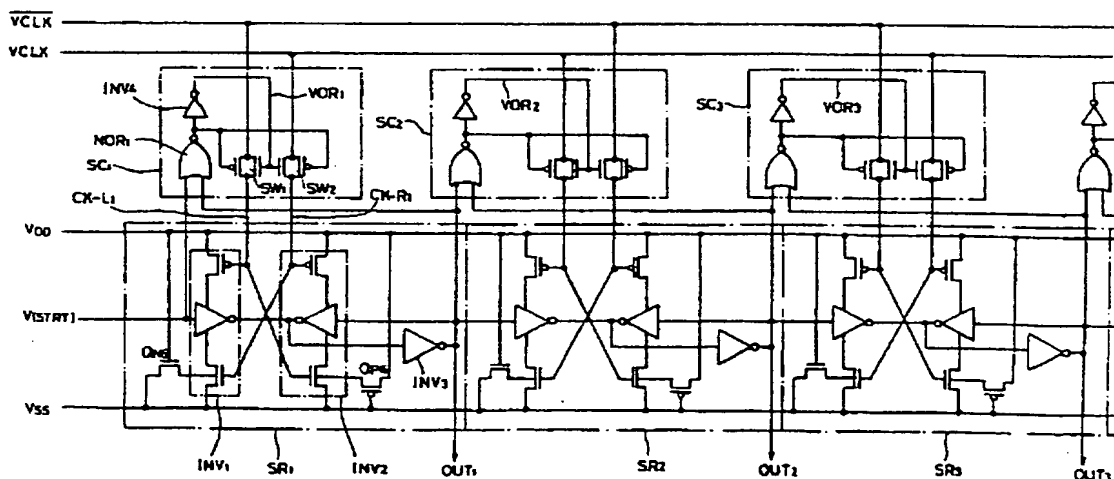
第 11 図は従来例のクロックラインに付く負荷容量の説明図である。

图中

INV₁、～INV_nはクロックディンバータ、INV_nはインバータ、SC₁、～SC_nはクロックスイッチ回路、SW₁、SW_nはトランスファゲートからなるスイッチング手段、Q₁、～Q_nはP

型FET、 $Q_{n1} \sim Q_{n4}$ はN型FET、 $SR_1 \sim SR_4$ はユニットレジスタを示す。

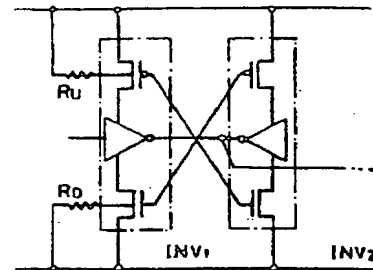
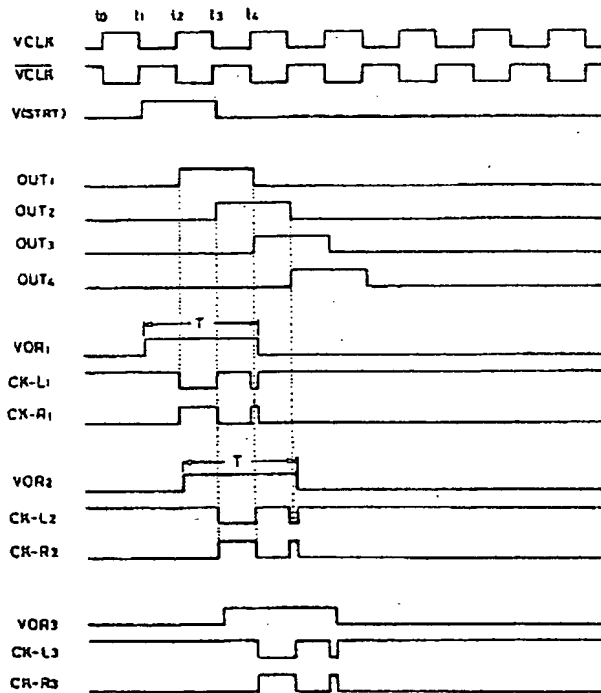
代理人 羅 鳳 夫



第 1 回

(9)

特開平3-147598 (7)



第 4 図

図 2 図

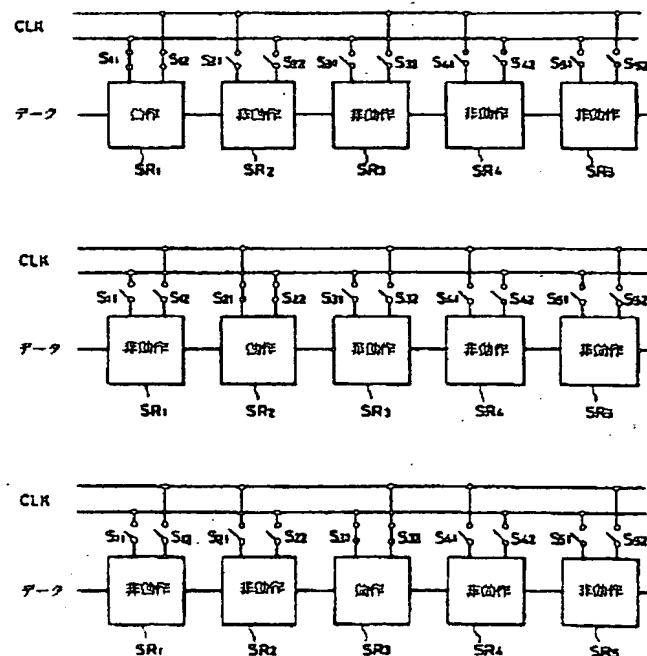
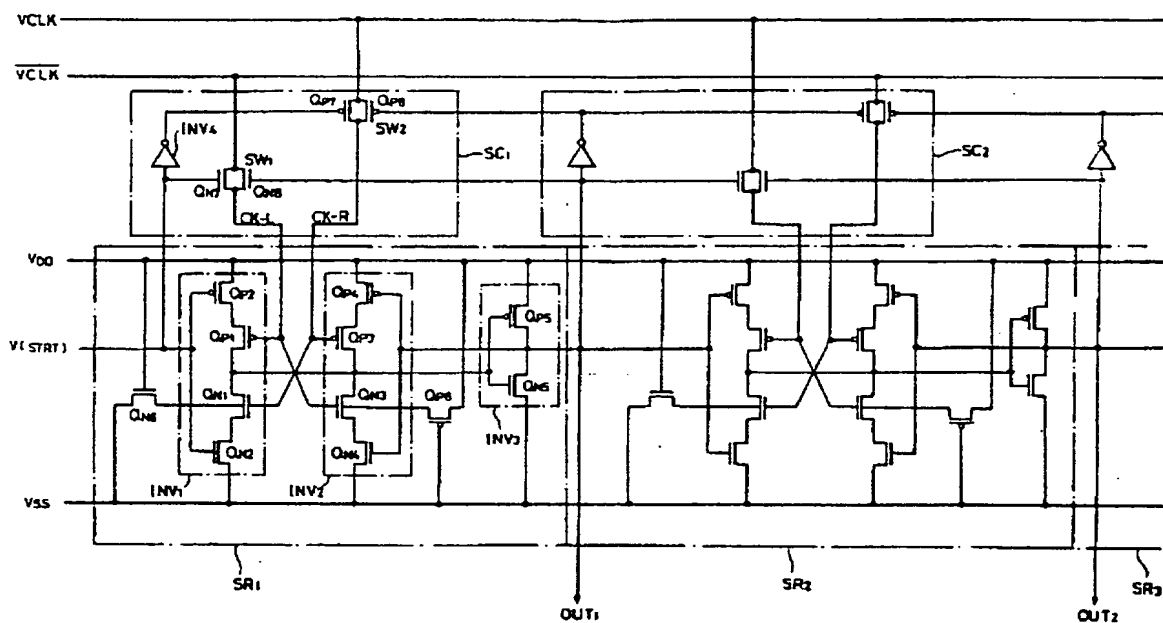


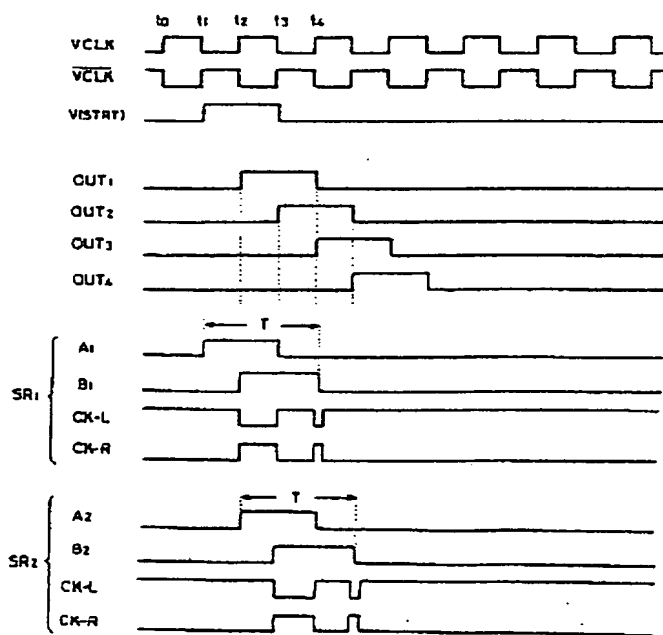
図 3 図

(10)

特開平3-147598 (8)



第 5 図



第 6 図

(11)

特開平3-147598 (9)

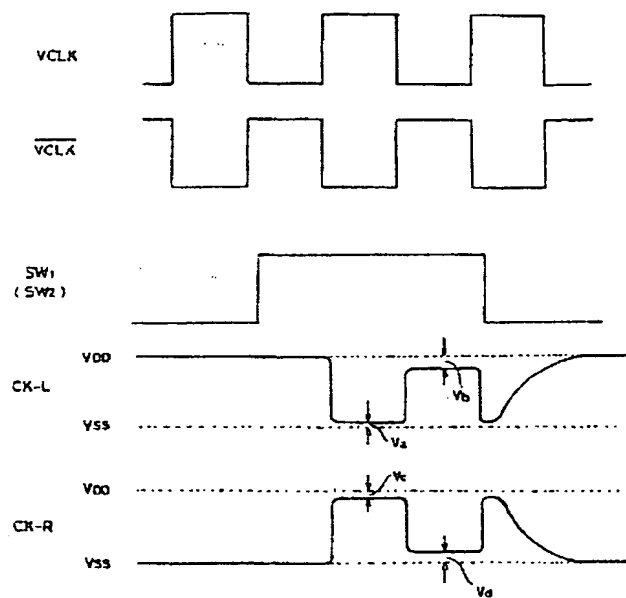


図 7

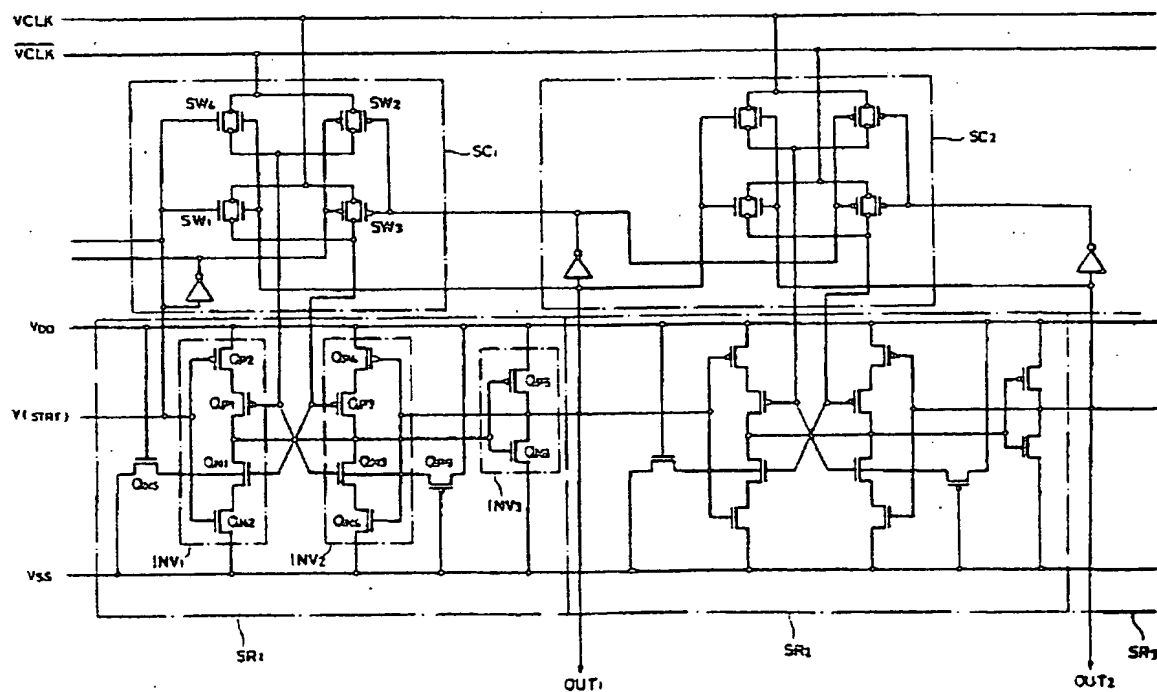


図 8

(12)

特開平3-147598 (10)

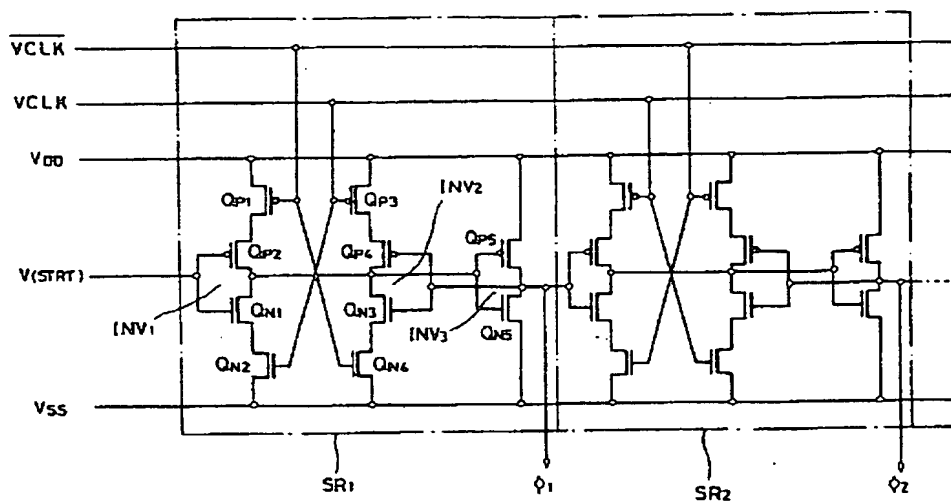


図 9

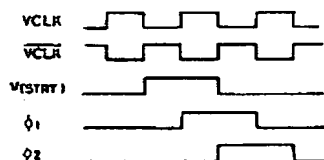


図 10

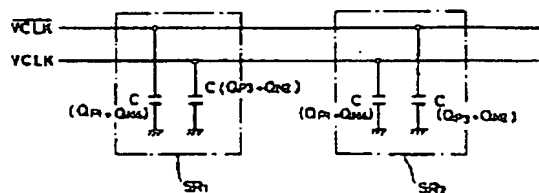


図 11